**Subiect examen la disciplina**

**Protocoale de comunicații**

**29.01.2021**

1. Completați în tabelul următor numele nivelelor de comunicație ale modelului OSI

|  |  |
| --- | --- |
| Nivel 7 |  |
| Nivel 6 |  |
| Nivel 5 |  |
| Nivel 4 |  |
| Nivel 3 |  |
| Nivel 2 |  |
| Nivel 1 |  |

2. Specificați rolul și unitatea de date pentru nivelul rețea din modelul de comunicații OSI.

3. Elementele din tabelul următor se referă la caracteridsticile interfeței EIA232; completați tabelul.

|  |  |  |
| --- | --- | --- |
| Potențialul la punctul de intefață (V1) |  |  |
| Stare binară | 1 | 0 |
| Stare semnal |  |  |

4. Enumerați și definiți tipurile de paritate folosite în protocolul de comunicație serială asincronă.

5. Într-o conexiune *single-master multiple-slave*, interfaţa SPI foloseşte pentru selectarea unui *slave*:

**a**. Semnal de selecţie

**b**. Adrese

**c**. Interfaţa SPI nu permite conexiune *multiple-slave*

*\* Justificați*

6. Completați diagrama de transfer de date între un master și un slave SPI considerând datele de la momentu startului, cele prezentate mai jos.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | SPI Master | | | | | | | |  | SPI Slave | | | | | | | |
| Start | MSB |  |  |  |  |  |  | LSB |  | MSB |  |  |  |  |  |  | LSB |
| Clock 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |  | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| Clock 2 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Clock 3 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Clock 4 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Clock 5 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Clock 6 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Clock 7 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Clock 7 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

7. Explicați cum se face arbitrarea accesului la magitrală în cazul prezenței mai multor masteri în magistrala I2C.

8. Explicați ce rol are câmpul PID în cadrul unui pachet USB.

9. Reprezentați grafic structura unui circuit integrat compatibil JTAG (cu reprezentarea elementelor JTAG: Boundery scan, Registrul de bypass, Registrul de instrucțiuni, TAP controller).

10. Enumerați instrucțiunile JTAG.

Timp de lucru – 45 minute Responsabil disciplină Director departamen EC

Fiecare întrebare este cotată 1 punct Conf. dr. ing. Carmen GERIGAN Sef lucr.dr.ing. Cornel STANCA